

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-267887

(43)公開日 平成6年(1994)9月22日

(51)Int.Cl.⁵

H 0 1 L 21/28
29/46

識別記号

3 0 1 H 7376-4M
H 7376-4M

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数16 F D (全 8 頁)

(21)出願番号 特願平5-78974

(22)出願日 平成5年(1993)3月12日

(71)出願人 000002185

ソニー株式会社
東京都品川区北品川6丁目7番35号

(72)発明者 奥 健夫

京都府京都市左京区吉田本町 京都大学工
学部金属加工学教室内

(72)発明者 大槻 徹

京都府京都市左京区吉田本町 京都大学工
学部金属加工学教室内

(72)発明者 村上 正紀

京都府京都市左京区吉田本町 京都大学工
学部金属加工学教室内

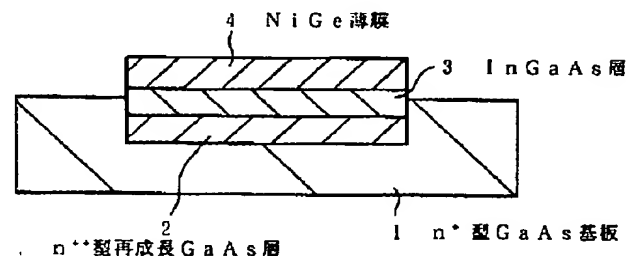
(74)代理人 弁理士 杉浦 正知

(54)【発明の名称】 オーミック電極およびその形成方法

(57)【要約】

【目的】 GaAs系半導体などに対する実用的に満足しうる特性を有するオーミック電極を実現する。

【構成】 n⁺型GaAs基板1上に、このn⁺型GaAs基板1より再成長したn⁺⁺型再成長GaAs層2、InGaAs層3およびNiGe薄膜4が順次積層された構造のオーミック電極を形成する。このオーミック電極は、n⁺型GaAs基板1上にNi薄膜、In薄膜およびGe薄膜を順次形成し、これらの薄膜をオーミック電極の形状にパターンニングした後、400～800℃の温度で数秒～数分間熱処理を行うことにより形成することができる。



【特許請求の範囲】

【請求項1】 III-V族化合物半導体基体より再成長した、上記III-V族化合物半導体基体よりも高不純物濃度の再成長III-V族化合物半導体層と、
上記再成長III-V族化合物半導体層上に形成された半導体層と、

上記半導体層上に形成された、金属または金属間化合物から成る薄膜とを有し、

上記半導体層と上記金属または金属間化合物から成る薄膜との間のエネルギー障壁の高さは上記再成長III-V族化合物半導体層と上記金属または金属間化合物から成る薄膜との間のエネルギー障壁の高さよりも低いことを特徴とするオーミック電極。

【請求項2】 上記III-V族化合物半導体基体および上記再成長III-V族化合物半導体層はn型であることを特徴とする請求項1記載のオーミック電極。

【請求項3】 上記III-V族化合物半導体基体および上記再成長III-V族化合物半導体層は互いに結晶格子が整合していることを特徴とする請求項1または2記載のオーミック電極。

【請求項4】 上記再成長III-V族化合物半導体層および上記半導体層は互いに結晶格子が整合していることを特徴とする請求項1、2または3記載のオーミック電極。

【請求項5】 上記III-V族化合物半導体基体はGaAs、AlGaAsまたはInGaAsから成ることを特徴とする請求項1または2記載のオーミック電極。

【請求項6】 上記再成長III-V族化合物半導体層はGaAs、AlGaAsまたはInGaAsから成ることを特徴とする請求項1、2または5記載のオーミック電極。

【請求項7】 上記半導体層はGaAs、AlGaAsまたはInGaAsから成ることを特徴とする請求項1、2、5または6記載のオーミック電極。

【請求項8】 上記金属または金属間化合物の融点は800℃以上であることを特徴とする請求項1～7のいずれか一項記載のオーミック電極。

【請求項9】 上記金属はWまたはTaであることを特徴とする請求項1～7のいずれか一項記載のオーミック電極。

【請求項10】 上記金属間化合物は二元系または三元系の金属間化合物であることを特徴とする請求項1～7のいずれか一項記載のオーミック電極。

【請求項11】 上記金属間化合物はNiGe、NiSiまたはWSi₂であることを特徴とする請求項1～7のいずれか一項記載のオーミック電極。

【請求項12】 III-V族化合物半導体基体上に、上記III-V族化合物半導体基体に対してドナー不純物となる第1の元素から成る第1の薄膜、金属または金属間化合物とIII-V族化合物半導体との間のエネルギー障壁の高

さを低下させる第2の元素から成る第2の薄膜および上記第1の元素との反応により金属間化合物を形成する第3の元素から成る第3の薄膜を順次形成する工程と、
上記第1の薄膜、上記第2の薄膜および上記第3の薄膜が形成された上記III-V族化合物半導体基体を熱処理する工程とを有することを特徴とするオーミック電極の形成方法。

【請求項13】 上記III-V族化合物半導体基体はGaAs、AlGaAsまたはInGaAsから成ることを特徴とする請求項12記載のオーミック電極の形成方法。

【請求項14】 上記III-V族化合物半導体はGaAs、AlGaAsまたはInGaAsであることを特徴とする請求項12または13記載のオーミック電極の形成方法。

【請求項15】 上記第1の薄膜、上記第2の薄膜および上記第3の薄膜はそれぞれNi薄膜、In薄膜およびGe薄膜であることを特徴とする請求項12、13または14記載のオーミック電極の形成方法。

【請求項16】 上記熱処理の温度は400～800℃であることを特徴とする請求項12、13、14または15記載のオーミック電極の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、オーミック電極およびその形成方法に関し、特に、III-V族化合物半導体基体に対するオーミック電極およびその形成方法に関する。

【0002】

【従来の技術】化合物半導体を用いたFETなどのデバイスの高性能化や信頼性の向上を図る上で、オーミック電極の接触抵抗の低減や熱安定性の向上は重要な課題である。しかしながら、化合物半導体、特にGaAs系半導体などのIII-V族化合物半導体に対するオーミック電極は、上記の要求を満足するものが得られていないのが現状である。

【0003】現在、GaAs系半導体に対するオーミック電極として実用化または提案されているものを大きく分けると次の3通りに分類することができる。すなわち、分類1のオーミック電極は、オーミック金属としてGaAs系半導体に対してドナー不純物となる元素を含むものを用い、熱処理によりその元素を半導体中に拡散させて高不純物濃度のn型領域を電極金属と半導体との界面に形成し、トンネル効果などによりオーミック接触を得るものである。分類2のオーミック電極は、オーミック金属として、低エネルギー障壁の中間層を形成する元素を含むものを用い、熱処理により電極金属と半導体との間に低エネルギー障壁の中間層を形成し、キャリアが流れる部分のエネルギー障壁の高さを低下させることによりオーミック接触を得るものである。分類3のオー

ミック電極は、オーミック金属として、熱処理によりGaAs系半導体と反応し、かつ半導体の再成長層を形成する元素とGaAs系半導体に対してドナー不純物となる元素とを含むものを用い、熱処理により再成長層を形成するとともにその再成長層を高不純物濃度のn型化し、トンネル効果などによりオーミック接触を得るものである。

【0004】分類1のオーミック電極の代表的な例を図7に示す。この例においては、図7Aに示すように、n⁺型GaAs基板101上にオーミック金属としてAuGe/Ni薄膜102を形成した後、400～500℃で熱処理を行うことにより、図7Bに示すようにオーミック電極を形成する。図7Bにおいて、符号103はn⁺⁺型GaAs層、104はNiAsとβ-AuGaとが混在する層を示す。

【0005】しかしながら、この図7Bに示すオーミック電極は、熱安定性が悪いという問題がある。すなわち、この場合には、オーミック金属としてのAuGe/Ni薄膜102中に多量に含まれているAu（通常用いられるAuGe中には88%のAuが含まれている）が400℃以上の温度の熱処理によりn⁺型GaAs基板101と反応することにより層104中にβ-AuGaが形成されるため、オーミック電極の接触抵抗が大幅に増大する。その結果、オーミック電極形成後に行われる化学気相成長（CVD）などの高温プロセスによりデバイス特性の劣化が引き起こされる。また、n⁺型GaAs基板101とAuGe/Ni薄膜102中のAuとの反応によりβ-AuGaが形成されることにより、オーミック電極の表面の面荒れが生じ、これが後の微細加工を行う上で問題となっている。

【0006】さらに、図7Bに示すオーミック電極は、n⁺⁺型GaAs層103の薄層化やFETなどのデバイスの微細化に対応することができないという問題もある。すなわち、n⁺⁺型GaAs層103は熱処理時の拡散によって形成されることにより、その深さや横方向（基板に平行な方向）の広がり熱処理の温度および時間のみによって決まる。このため、このn⁺⁺型GaAs層103の深さや横方向の広がりを制御することはできない。この結果、デバイスの高性能化や微細化のためにn⁺⁺型GaAs層103の薄層化やオーミック電極間の距離の短縮を図ることは困難である。

【0007】分類2および分類3のオーミック電極は、上述の分類1の代表例によるオーミック電極の形成においてAuGe/Ni薄膜102を用いていることによる問題点、すなわちオーミック電極の熱安定性や電極表面の面荒れを改善するために提案されたものである。

【0008】分類2のオーミック電極の代表的な例を図8に示す。この例においては、図8Aに示すように、n⁺

*⁺型GaAs基板201上にオーミック金属としてNiIn薄膜202およびW薄膜203を順次形成した後、900℃程度の高温で1秒程度熱処理を行うことにより、図8Bに示すようにオーミック電極を形成する。図8Bにおいて、符号204はInGaAs（より正確にはIn_xGa_{1-x}Asと書かれるがこのように略記するものとする。以下同様。）層、205はNi₃In薄膜を示す。この場合には、熱処理によりn⁺型GaAs基板201とNiIn薄膜202中のInとの反応が起きて低エネルギー障壁の中間層としてInGaAs層204が形成されることにより、エネルギー障壁の実効的な高さが低下してオーミック接触が得られる。この図8Bに示すオーミック電極は、図7Bに示す分類1のオーミック電極におけるβ-AuGaのような低融点の化合物を含まないことにより、400℃、100時間程度の熱処理によってもオーミック電極の接触抵抗が安定であることが報告されている。

【0009】しかしながら、この図8Bに示すオーミック電極は、オーミック接触を得るために900℃程度の高温の熱処理を必要とするため、JFET（接合ゲートFET）やHEMT（高電子移動度トランジスタ）などのような900℃以下の温度でゲートやチャネルを形成するデバイスには用いることはできない。このため、このオーミック電極は、プロセスウィンドウが小さく、適用可能なデバイスが少ないという問題がある。

【0010】分類3のオーミック電極の代表的な例を図9に示す。この例においては、図9Aに示すように、n⁺型GaAs基板301上にオーミック金属としてPd薄膜302およびGe薄膜303を順次形成した後、325～375℃、30分程度の熱処理を行うことにより、図9Bに示すようにオーミック電極を形成する。図9Bにおいて、符号304はn⁺⁺型GaAs層、305はPdGe薄膜を示す。この場合には、熱処理中に、まずn⁺型GaAs基板301よりGaAsの再成長層が形成され、この再成長層中にGe薄膜303からGeが拡散することによりn⁺⁺型GaAs層304が形成され、オーミック接触が得られる。

【0011】この図9Bに示すオーミック電極は、再成長したn⁺⁺型GaAs層304の厚さはオーミック金属としてのPd薄膜302やGe薄膜303の厚さを変えることにより制御することができるため、このn⁺⁺型GaAs層304の薄層化を図ることができるとともに、オーミック電極間の距離の短縮を図ることも可能である。しかしながら、この図9Bに示すオーミック電極は、熱安定性に大きな問題を有している。

【0012】以上の分類1、分類2および分類3のオーミック電極の諸特性を表1にまとめて示す。

【0013】

分類	プロセス難易度	接触抵抗	熱安定性	表面平坦性	短拡散距離
1	○	○	×	×	×
2	×	○	○	○	○
3	○	○	×	○	○
本発明	○	○	○	○	○

【0014】

【発明が解決しようとする課題】 上述のように、従来のGaAs系半導体に対するオーミック電極はいずれも不満足なものであるため、実用上満足しうる特性を有するオーミック電極の実現が望まれていた。

【0015】 従って、この発明の目的は、GaAs系半導体その他のIII-V族化合物半導体基体に対する実用的に満足しうる特性を有するオーミック電極を提供することにある。

【0016】 この発明の他の目的は、GaAs系半導体その他のIII-V族化合物半導体基体に対する実用的に満足しうる特性を有するオーミック電極を容易に形成することができるオーミック電極の形成方法を提供することにある。

【0017】

【課題を解決するための手段】 上記目的を達成するために、この発明によるオーミック電極は、III-V族化合物半導体基体より再成長した、III-V族化合物半導体基体よりも高不純物濃度の再成長III-V族化合物半導体層と、再成長III-V族化合物半導体層上に形成された半導体層と、半導体層上に形成された、金属または金属間化合物から成る薄膜とを有し、半導体層と金属または金属間化合物から成る薄膜との間のエネルギー障壁の高さは再成長III-V族化合物半導体層と金属または金属間化合物から成る薄膜との間のエネルギー障壁の高さよりも低いことを特徴とする。

【0018】 ここで、III-V族化合物半導体基体には、例えばGaAs、AlGaAs、InGaAsなどから成る基板または層が含まれる。また、このIII-V族化合物半導体基体がn型である場合、このIII-V族化合物半導体基体中にはドナー不純物として、例えばSi、Ge、Te、Snなどが含まれる。これらのドナー不純物は、例えばイオン注入、液相エピタキシー（LPE）、分子線エピタキシー（MBE）、有機金属気相エピタキシー（MOVPE）などの方法によりIII-V族化合物半導体基体中に導入される。

【0019】 再成長III-V族化合物半導体層には、例えばGaAs、AlGaAs、InGaAsなどから成る層が含まれる。この発明の好適な一実施態様において、この再成長III-V族化合物半導体層の不純物濃度はIII-V族化合物半導体基体の不純物濃度よりもはるかに高い。また、この発明の好適な一実施態様において、この

再成長III-V族化合物半導体層はIII-V族化合物半導体基体と結晶格子が整合している。この再成長III-V族化合物半導体層と金属または金属間化合物との間のエネルギー障壁の高さは、III-V族化合物半導体基体と金属または金属間化合物との間のエネルギー障壁の高さと同一であるかまたはそれよりも低い。この再成長III-V族化合物半導体層は、例えば、III-V族化合物半導体基体上にこのIII-V族化合物半導体基体に対してドナー不純物となる元素、例えばNi、Co、Pd、Ptなどのような金属から成る薄膜を真空蒸着やスパッタなどの方法により形成した後に熱処理を行って再成長を起こさせることにより形成することができる。また、この再成長III-V族化合物半導体層は、III-V族化合物半導体基体上にMBEやMOVPEなどの方法によりIII-V族化合物半導体層を直接エピタキシャル成長させ、このIII-V族化合物半導体層上にIII-V族化合物半導体基体に対してドナー不純物となる元素、例えばNi、Co、Pd、Ptなどのような金属から成る薄膜を真空蒸着やスパッタなどの方法により形成した後に熱処理を行って再成長を起こさせることにより形成することもできる。

【0020】 半導体層には、例えばGaAs、AlGaAs、InGaAsなどのIII-V族化合物半導体から成る層が含まれる。この発明の好適な一実施態様において、この半導体層は再成長III-V族化合物半導体層と結晶格子が整合している。この半導体層と金属または金属間化合物との間のエネルギー障壁の高さは、再成長III-V族化合物半導体層と金属または金属間化合物との間のエネルギー障壁の高さよりも低い。また、この半導体層には、ドナー不純物として例えばSi、Ge、Te、Snなどの金属が含まれていてもよい。この半導体層は、例えば、III-V族化合物半導体基体上にNi、Co、Pd、Ptなどのような金属から成る薄膜を形成し、その上にエネルギー障壁の高さを低下させる元素、例えばInから成る薄膜を真空蒸着やスパッタなどの方法により形成した後に熱処理を行って再成長III-V族化合物半導体層上に再成長させることにより形成することができる。また、この半導体層は、再成長III-V族化合物半導体層上にMBEやMOVPEなどの方法により直接エピタキシャル成長させることもできる。

【0021】 金属または金属間化合物から成る薄膜は、好適には電気抵抗率が十分に低く、また、800℃以上の融点を有する。この金属または金属間化合物から成る

薄膜には、例えば、WやTaなどの単体金属から成るものや、NiGe、NiSi、WSi₂などの二元系の金属間化合物、さらには三元系の金属間化合物から成るものなどが含まれる。この金属または金属間化合物から成る薄膜は、例えば、III-V族化合物半導体基体上にNi、Co、Pd、Ptなどのような金属から成る薄膜を形成し、その上に例えばInから成る薄膜を形成し、さらにその上にGeなどから成る薄膜を形成した後に熱処理を行うことにより半導体層上に形成することができる。また、この金属または金属間化合物から成る薄膜は、半導体層上に真空蒸着やスパッタなどの方法により形成することもできる。

【0022】金属または金属間化合物から成る薄膜上には、好適には電気抵抗率が十分に低い金属、例えばAl、Au、Au/Tiなどから成る薄膜を形成してもよい。

【0023】この発明によるオーミック電極の形成方法は、III-V族化合物半導体基体上に、III-V族化合物半導体基体に対してドナー不純物となる第1の元素から成る第1の薄膜、金属または金属間化合物とIII-V族化合物半導体との間のエネルギー障壁の高さを低下させる第2の元素から成る第2の薄膜および第1の元素との反応により金属間化合物を形成する第3の元素から成る第3の薄膜を順次形成する工程と、第1の薄膜、第2の薄膜および第3の薄膜が形成されたIII-V族化合物半導体基体を熱処理する工程とを有することを特徴とする。

【0024】ここで、III-V族化合物半導体基体には、例えばGaAs、AlGaAsまたはInGaAsなどから成る基板または層が含まれる。同様に、III-V族化合物半導体には、例えばGaAs、AlGaAsまたはInGaAsが含まれる。また、この発明の好適な一実施態様において、第1の薄膜、第2の薄膜および第3の薄膜はそれぞれNi薄膜、In薄膜およびGe薄膜である。さらに、この発明の好適な一実施例において、熱処理の温度は400～800℃である。

【0025】

【作用】上述のように構成されたこの発明によるオーミック電極によれば、実用上デバイスに要求される特性、すなわち熱安定性、低接触抵抗、低膜抵抗、表面の平坦性、短拡散距離などを満足し、しかもその形成に必要なプロセスも容易なオーミック電極を実現することができる。

【0026】上述のように構成されたこの発明によるオーミック電極の形成方法によれば、実用上デバイスに要求される特性を満足するオーミック電極を容易に形成することができる。

【0027】

【実施例】以下、この発明の一実施例について図面を参照しながら説明する。

【0028】この一実施例においては、図1に示すよう

に、n⁺型GaAs基板1上に、このn⁺型GaAs基板1より再成長したn⁺⁺型再成長GaAs層2、InGaAs層3およびNiGe薄膜4が順次積層された構造のオーミック電極が形成されている。

【0029】図2にこの一実施例によるオーミック電極のエネルギーバンド図を示す。図2中、E_cおよびE_vはそれぞれ伝導帯の下端のエネルギーおよび価電子帯の上端のエネルギー、E_fはフェルミエネルギーを示す。図2からわかるように、n⁺⁺型再成長GaAs層2とNiGe薄膜4との間にInGaAs層3が形成されていることにより、n⁺⁺型再成長GaAs層2とNiGe薄膜4との間のエネルギー障壁の高さは実効的に低下している。

【0030】次に、上述のように構成されたこの一実施例によるオーミック電極の形成方法について説明する。

【0031】まず、図3Aに示すように、n⁺型GaAs基板1上にフォトリソグロフィー法によりパターンニングし、形成すべきオーミック電極に対応する部分に開口を有するレジストパターン5を形成する。このフォトリソグロフィーにおける露光は、例えば縮小投影露光装置（いわゆるステッパー）のような光学式露光装置を用いて行われる。なお、このレジストパターン5の形成は、電子線レジストと電子ビームリソグロフィー法とを用いて行うようにしてもよい。

【0032】次に、図3Bに示すように、例えばスパッタや真空蒸着などの方法により、Ni薄膜6、In薄膜7およびGe薄膜8を順次全面に形成する。この場合、レジストパターン5の厚さは、これらのNi薄膜6、In薄膜7およびGe薄膜8の合計の厚さよりも十分に大きくなるように選ばれている。

【0033】次に、このようにしてNi薄膜6、In薄膜7およびGe薄膜8が形成されたn⁺型GaAs基板1を例えばアセトンのような有機溶剤に浸けてレジストパターン5を溶解除去することにより、このレジストパターン5上に形成されたNi薄膜6、In薄膜7およびGe薄膜8を除去する。これによって、図3Cに示すように、レジストパターン5の開口部におけるn⁺型GaAs基板1上にのみNi薄膜6、In薄膜7およびGe薄膜8が残される。

【0034】次に、このNi薄膜6、In薄膜7およびGe薄膜8が形成されたn⁺型GaAs基板1を、例えばRTA (Rapid Thermal Annealing)法や一般的な電気炉による方法により、例えばN₂ガス雰囲気中において例えば400～800℃の温度で例えば数秒～数分間熱処理を行う。この熱処理により、図1に示すように、n⁺型GaAs基板1よりGaAs層が再成長するとともにこのGaAs層にNiが拡散することによりn⁺⁺型再成長GaAs層2が形成され、また、このn⁺⁺型再成長GaAs層2上にInとGaAsとの反応によりInG

10

20

30

40

50

aAs層3が形成され、さらに、このInGaAs層3上にNiとGeとの反応によりNiGe薄膜4が形成される。

【0035】以上のようにして、図1に示すオーミック電極が形成される。

【0036】上述のオーミック電極を形成するための熱処理をRTA法により行い、そのときの熱処理温度を500℃から730℃まで変えたときのオーミック電極の接触抵抗の変化を図4に示す。ただし、測定に用いた試料においては、Ni薄膜6、In薄膜7およびGe薄膜8は電子ビーム蒸着法により形成し、これらのNi薄膜6、In薄膜7およびGe薄膜8の厚さはそれぞれ60nm、3nmおよび100nmとした。なお、熱処理を行う前におけるNi薄膜6、In薄膜7およびGe薄膜8を透過型電子顕微鏡により観察した結果、In薄膜7はNi薄膜6とGe薄膜8との界面に存在していることが確認された。

【0037】図4から明らかなように、熱処理を700℃前後の温度で行うことにより、良好な接触抵抗が得られる。この700℃前後の温度で熱処理を行うことにより形成されたオーミック電極を透過型電子顕微鏡により観察した結果、NiとGeとの反応により形成されたNiGe薄膜が最上面に形成され、このNiGe薄膜とn⁺型再成長GaAs層との間に低エネルギー障壁を有するInGaAs層が形成されていることが観察された。また、n⁺型再成長GaAs層とInGaAs層との界面近傍におけるn⁺型再成長GaAs層には多くの筋が観察されたが、これらの筋は低温で形成されたNiGaAs層からGaAs層およびInGaAs層が再成長したときに発生した格子欠陥である。

【0038】図5は、上述の一実施例においてRTA法により700℃で熱処理を行うことによりオーミック電極を形成した後、試料を400℃で熱処理したときのオーミック電極の接触抵抗の経時変化、すなわちオーミック電極の熱安定性を測定した結果を示す。図5から明らかなように、オーミック電極形成後に400℃で1時間以上熱処理を行っても、接触抵抗の変化はほとんど見られない。

【0039】図6は、上述の一実施例においてオーミック電極形成用のNi薄膜6およびGe薄膜8の厚さをそれぞれ60nmおよび100nmに固定し、In薄膜7の厚さを変えたときのオーミック電極の接触抵抗の変化を示す。ただし、オーミック電極を形成するための熱処理はRTA法により700℃で行った。図6から明らかなように、In薄膜7の厚さを3nm以上にすることにより、接触抵抗の値は急激に低下し、接触抵抗が改善される。このことから、オーミック電極形成用の膜中にIn薄膜7を含ませて低エネルギー障壁を有するInGaAs層を形成することがオーミック電極の接触抵抗を改善する上で重要であることがわかる。

【0040】以上のように、この一実施例によれば、n⁺型GaAs基板1上に、Ni薄膜6、In薄膜7およびGe薄膜8を所定パターンで形成し、その後に400～800℃の温度で熱処理を行うことにより、図1に示すように、n⁺型GaAs基板1上に、n⁺型再成長GaAs層2、InGaAs層3およびNiGe薄膜4が順次積層された構造のオーミック電極を形成することができる。このオーミック電極は、熱安定性や表面の平坦性が良好であり、低接触抵抗、低膜抵抗、短拡散距離であり、さらにはその形成に必要なプロセスも簡単であり、GaAsに対するオーミック電極として極めて優れたものである。

【0041】以上、この発明の一実施例につき具体的に説明したが、この発明は、上述の実施例に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0042】例えば、上述の一実施例において説明したオーミック電極の形成方法においては、オーミック電極に対応した形状のNi薄膜6、In薄膜7およびGe薄膜8をいわゆるリフトオフ法により形成したが、このオーミック電極に対応した形状のNi薄膜6、In薄膜7およびGe薄膜8は、n⁺型GaAs基板1の全面にNi薄膜6、In薄膜7およびGe薄膜8を順次形成した後にこれらのNi薄膜6、In薄膜7およびGe薄膜8をエッチング法によりオーミック電極の形状にパターニングすることにより形成するようにしてもよい。

【0043】また、上述の一実施例においては、n⁺型GaAs基板1に対するオーミック電極にこの発明を適用した場合について説明したが、例えばエピタキシャル成長などにより形成されたn⁺型GaAs層に対するオーミック電極にこの発明を適用することも可能である。

【0044】

【発明の効果】以上述べたように、この発明によるオーミック電極によれば、III-V族化合物半導体基体に対する実用的に満足しうる特性を有するオーミック電極を実現することができる。また、この発明によるオーミック電極の形成方法によれば、III-V族化合物半導体基体に対する実用的に満足しうる特性を有するオーミック電極を容易に形成することができる。

【図面の簡単な説明】

【図1】この発明の一実施例によるオーミック電極を示す断面図である。

【図2】この発明の一実施例によるオーミック電極のエネルギーバンド図である。

【図3】この発明の一実施例によるオーミック電極の形成方法を説明するための断面図である。

【図4】この発明の一実施例によるオーミック電極の接触抵抗の熱処理温度依存性の測定結果の一例を示すグラフである。

【図5】この発明の一実施例によるオーミック電極の熱

安定性の測定結果の一例を示すグラフである。

【図6】この発明の一実施例によるオーミック電極の接触抵抗のオーミック電極形成用のIn薄膜の厚さ依存性の測定結果の一例を示すグラフである。

【図7】従来のオーミック電極の一例を説明するための断面図である。

【図8】従来のオーミック電極の他の例を説明するための断面図である。

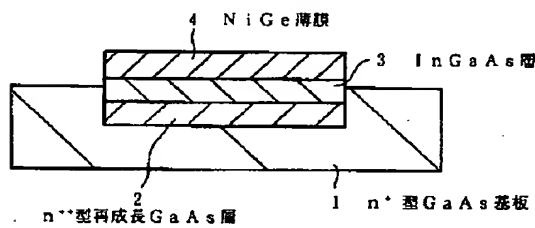
【図9】従来のオーミック電極のさらに他の例を説明するための断面図である。

【符号の説明】

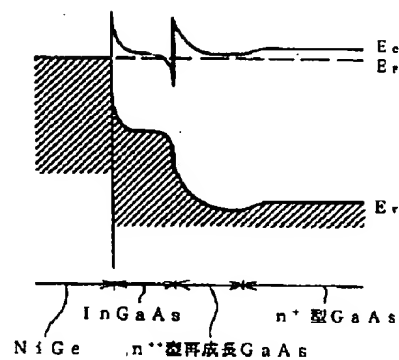
- 1 n^+ 型GaAs基板
- 2 n^{++} 型再成長GaAs層
- 3 InGaAs層
- 4 NiGe薄膜
- 5 レジストパターン
- 6 Ni薄膜
- 7 In薄膜
- 8 Ge薄膜

10

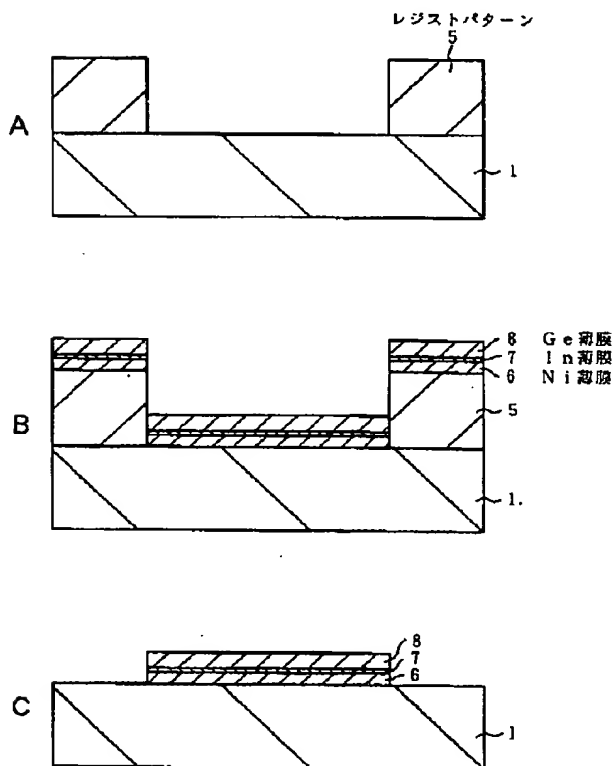
【図1】



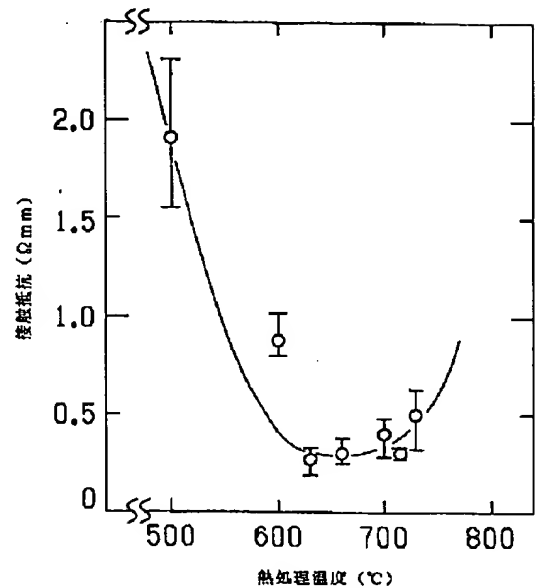
【図2】



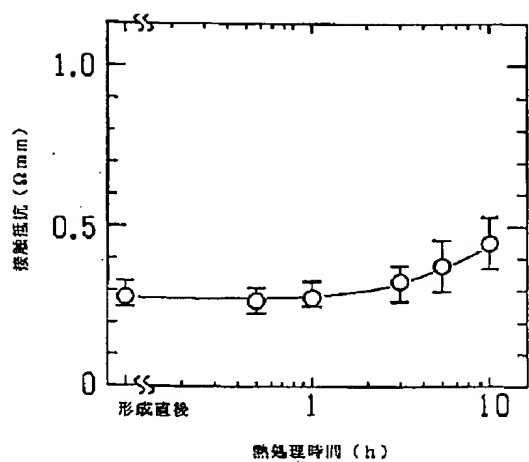
【図3】



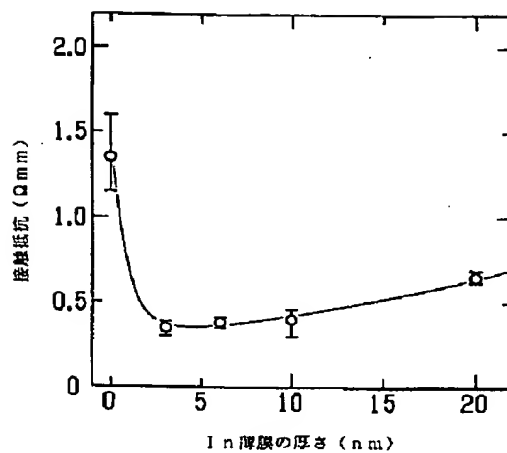
【図4】



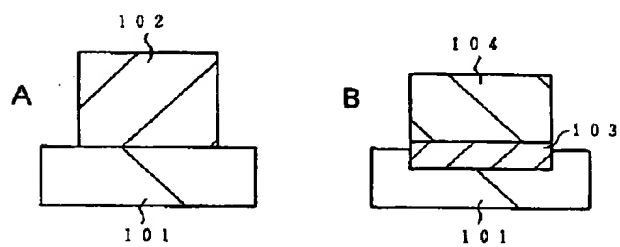
【図5】



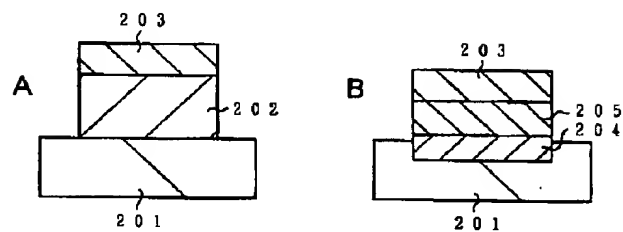
【図6】



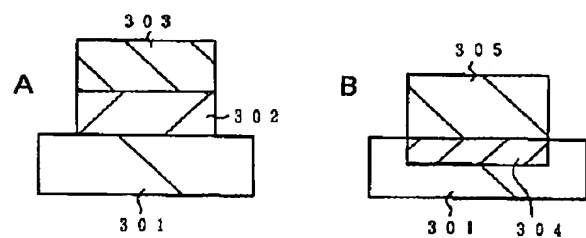
【図7】



【図8】



【図9】



(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06267887 A**

(43) Date of publication of application: **22.09.94**

(51) Int. Cl.

H01L 21/28

H01L 29/46

(21) Application number: **05078974**

(22) Date of filing: **12.03.93**

(71) Applicant:

SONY CORP

(72) Inventor:

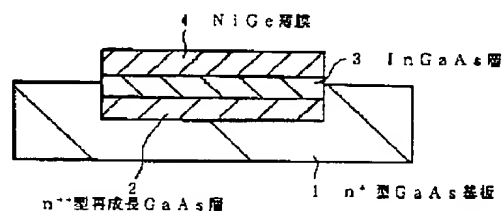
**OKU TAKEO
OTSUKI AKIRA
MURAKAMI MASANORI**

(54) OHMIC ELECTRODE AND ITS FORMATION

(57) Abstract:

PURPOSE: To provide an ohmic electrode having such characteristics that can practically satisfy GaAs semiconductors, etc.

CONSTITUTION: The ohmic electrode is formed by successively forming a regrown n^{++} -type GaAs layer 2 which is regrown from an n^{+} -type GaAs substrate 1, InGaAs layer 3, and NiGe thin film 4 on the substrate 1. The ohmic electrode can be also formed by successively forming an Ni thin film, In thin film, and Ge thin film on the substrate 1 and, after patterning the thin films to the shape of the ohmic electrode, heat-treating the thin films at 400-800°C for several seconds to several minutes.



COPYRIGHT: (C)1994,JPO&Japio